

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-348781

(43) 公開日 平成6年(1994)12月22日

(51) Int. Cl.⁵

G 0 6 F 15/60

H 0 1 L 27/04

識別記号

3 7 0 A 7623-5L

A 8832-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1 OL (全6頁)

(21) 出願番号 特願平5-140715

(22) 出願日 平成5年(1993)6月11日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 三好 義弘

伊丹市瑞原4丁目1番地 三菱電機株式会

社北伊丹製作所内

(72) 発明者 西田 修平

伊丹市瑞原4丁目1番地 三菱電機株式会

社北伊丹製作所内

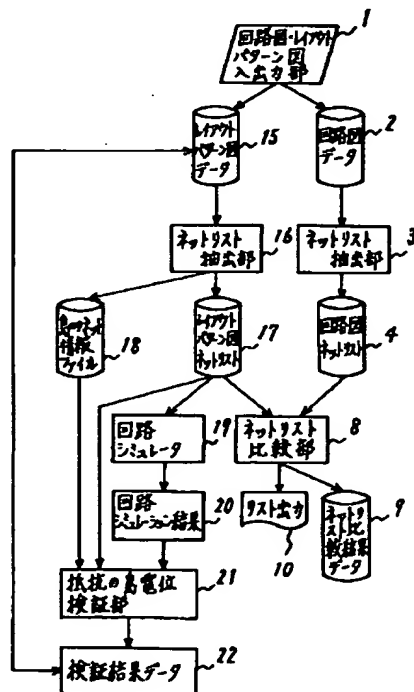
(74) 代理人 弁理士 高田 守

(54) 【発明の名称】 レイアウト検証装置

(57) 【要約】

【目的】 半導体集積回路を構成するP拡散抵抗の接続状態と共に上記P拡散抵抗の形成層の電位をも検証する。

【構成】 半導体集積回路のレイアウトパターン図ネットリストを基に回路シュミレーションを行ない上記半導体集積回路を構成するP拡散抵抗の両端の電位と上記P拡散抵抗の形成層の電位とを求め、上記P拡散抵抗の両端の電位と上記P拡散抵抗の形成層の電位とを比較し上記P拡散抵抗の形成層電位を検証するようにしたものである。



【特許請求の範囲】

【請求項1】 基板上に分離形成されるエビタキシャル層や基板内のN拡散層等にP拡散により形成されるP拡散抵抗を含む半導体集積回路の回路図とそのレイアウトパターン図入出力部からの回路図データを基に回路図ネットワークリストを抽出すると共に上記回路図とそのレイアウトパターン図入出力部からのレイアウトパターン図データを基にレイアウトパターン図ネットワークリストを抽出し、上記両ネットワークリストを比較しレイアウト検証するものにおいて、上記レイアウトパターン図ネットワークリストを基に回路シュミレーションを行ない上記P拡散抵抗の両端の電位と上記P拡散抵抗の形成層の電位とをを求める回路シュミレータと、上記回路シュミレータで求められたP拡散抵抗の両端の電位と上記P拡散抵抗の形成層の電位とを比較し上記P拡散抵抗の形成層電位を検証するP拡散抵抗の形成層電位検証手段を設けたことを特徴とするレイアウト検証装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、基板上に分離形成されるエビタキシャル層や基板内のN拡散層等にP拡散により形成されるP拡散抵抗を含む半導体集積回路のレイアウト検証装置に関するものである。

【0002】

【従来の技術】図5は従来の半導体集積回路のレイアウト検証装置の構成図であり、図において、1は半導体集積回路図およびそのレイアウトパターン図を入力し表示する回路図、レイアウトパターン図入出力部、3は回路図、レイアウトパターン図入出力部1から入力された回路図を表示するための回路図データ2からその回路を構成する素子のインスタンス番号とその素子を接続する配線のネット番号からなる回路図ネットワークリストデータ4を作成するネットワークリスト抽出部、6は回路図、レイアウトパターン図入出力部1から入力されたレイアウトパターン図を表示するためのレイアウトパターン図データ5からレイアウトパターン図ネットワークリストデータ7を作成するネットワークリスト抽出部、8はネットワークリスト比較部、9はネットワークリスト比較データ、10はネットワークリスト比較結果リストである。

【0003】次に動作について説明する。回路図、レイアウトパターン図入出力部1によって描かれ表示された回路図およびそのレイアウトパターン図の上記回路図データ2はネットワークリスト抽出部3に入力され、ネットワークリスト抽出部3において、回路図ネットワークリストデータ4が作成されネットワークリスト比較部8に入力される。また、一方、上記レイアウトパターン図のレイアウトパターン図データ5はネットワークリスト抽出部6に入力され、ネットワークリスト抽出部6においてレイアウトパターン図ネットワークリストデータ7が作成されネットワークリスト比較部8に入力される。そして、ネットワークリスト比較部8において上記レイ

アウトパターン図ネットワークリストデータ7と回路図ネットワークリストデータ4とが比較され、ネットワークリスト比較結果データ8は記憶部（図示せず）に記憶されると共にプリントされてリスト出力10され接続状態が検証される。

【0004】

【発明が解決しようとする課題】従来のレイアウト検証装置は以上のように構成されているので、集積回路を構成しているP拡散抵抗の接続状態は検証されるが、上記P拡散抵抗11は図7に示されるように基板12上に分離用P拡散部14によって分離形成されたエビタキシャル層（以下島と称する）13にP拡散によって形成されており、上記島13の電位は検証されないで、島13の電位がP拡散抵抗11の両端の電位よりも低くなっていると図8に破線で示されるようにトランジスタ等の寄生素子15が発生し正常動作しなくなる等の問題点があった。

【0005】この発明は上記のような問題点を解消するためになされたもので、半導体集積回路の接続状態が検証できると共に上記半導体集積回路を構成するP拡散抵抗の形成層の電位の検証をもできるレイアウト検証装置を提供することを目的とする。

【0006】

【課題を解決するための手段】この発明に係るレイアウト検証装置は半導体集積回路のレイアウトパターン図ネットワークリストを基に回路シュミレーションを行ない上記半導体集積回路を構成するP拡散抵抗の両端の電位と上記P拡散抵抗の形成層の電位とを求め、上記P拡散抵抗の両端の電位と上記P拡散抵抗の形成層の電位とを比較し上記P拡散抵抗の形成層電位を検証するようにしたものである。

【0007】

【作用】この発明におけるレイアウト検証装置は半導体集積回路を構成するP拡散抵抗の形成層の電位が回路シュミレーションにより精度高く検証される。

【0008】

【実施例】

実施例1. 以下、図1に示されるこの発明の一実施例によるレイアウト検証装置の構成図について説明する。図1において図6と同一符号は相当部分を示すのでその説明を省略する。16は回路図、レイアウトパターン図入出力部1から入力されたレイアウトパターン図ネットワークリストに基づき図2に示されるレイアウトパターン図ネットワークリストデータ17および図3に示される島つりネット情報ファイル18を作成するネットワークリスト抽出部、19はレイアウトパターン図ネットワークリストデータ17に基づき回路シュミレーションを行う回路シュミレータ、21は回路シュミレーション結果20と島つり情報ファイル18およびレイアウトパターン図ネットワークリストデータ17とに基づき上記島13の電位を検証する抵抗の島電位検証部である。

【0009】次に動作について説明する。回路図、レイアウトパターン図入出力部1によって描かれ表示された回路図およびそのレイアウトパターン図の上記回路図データ2はネットリスト抽出部3に入力され、ネットリスト抽出部3において、回路図ネットリスト4が作成される。また、一方、上記レイアウトパターン図のレイアウトパターン図データ5はネットリスト抽出部6に入力される。ネットリスト抽出部16において入力されたレイアウトパターン図データ15に基づき、図7に示される島13にP拡散によって形成されるP拡散抵抗のインスタンス番号と上記P拡散抵抗の両端に接続される配線のネット番号および上記島13の端子13aに接続される配線のネット番号(以後、島つりネット番号と称する)からなる図2に示されるレイアウトパターン図ネットリストデータ17、および、上記島13にP拡散によって形成されるP拡散抵抗11のインスタンス番号と上記島つりネット番号からなる図3に示される島つりネット情報ファイル18が作成される。そして、従来と同様にネットリスト比較部8において上記回路図ネットリストデータ4とレイアウトパターン図ネットリストデータ17とが比較され配線状態が検証される。一方、回路シミュレータ19は入力されたレイアウトパターン図ネットリストデータ17を基に回路シミュレーションを実行する。回路シミュレーション結果20は抵抗の島電位検証部21に入力され、抵抗の島電位検証部21においてシミュレーション結果ファイル20と島つりネット情報ファイル18およびレイアウトパターン図ネットリストデータ17に基づき島のネット電位(島電位)が、島にP拡散によって形成されるP拡散抵抗の両端のネット電位と同電位か、もしくは高電位かを判断され島電位が検証される。

【0010】抵抗の島電位検証部21の判断動作は図4のフローチャートに示される通り、島つりネット情報ファイル18から島に形成されるP拡散抵抗のインスタンス番号とP拡散抵抗の島つりネット番号を読み、回路シミュレーション結果ファイル20からネット番号と電圧値を読み込み(ステップA)、島つりネット情報ファイル18のネット番号Nに対応したシミュレーション結果ファイル20のネット番号nを探す($N=n$)。よって、P拡散抵抗の島つりネット電位(島電位)が V_n であることが判明する($N=V_n$)(ステップB)。次に、島つりネット情報ファイル18の島つりネット番号Nに対応したP拡散抵抗のインスタンス番号RNを読み出し、レイアウトパターン図ネットリスト17より上記インスタンス番号RNの両端のネット番号20、25を読み出し、回路シミュレーション結果ファイル20のネット番号20、25から上記P拡散抵抗RNの両端の電圧値 V_{20} 、 V_{25} を求める(ステップC)。次に、島電位

V_n とP拡散抵抗RNの両端の電圧値 V_{20} 、 V_{25} とを比較し、 V_n が V_{20} 、 V_{25} よりも大きい場合、あるいは同じ場合は島つりネット番号は正常であると判断され、また、 V_n が V_{20} 、 V_{25} よりも小さい場合は島つりネット番号は誤りであると判断され、誤りであると判断された場合のみレイアウトパターン図データ15にその検証結果データ22が戻される(ステップD)。

【0011】実施例2. なお、上記実施例1では半導体集積回路を構成するP拡散抵抗を基板上に分離形成されたエピタキシャル層にP拡散によって形成したものについて述べたが、これに限らず、図5に示されるように上記P拡散抵抗を基板12内のN拡散層にP拡散によって形成したものであっても良く、前述の実施例1によるレイアウト検証装置により同様にして検証することができ同様の効果を奏する。

【0012】

【発明の効果】以上のように、この発明によれば半導体集積回路を構成するP拡散抵抗の形成層の電位を検証するように構成したので、寄生素子を発生しない信頼性の高いレイアウトパターンの形成が容易となる。

【図面の簡単な説明】

【図1】この発明の一実施例によるレイアウト検証装置を示す構成図である。

【図2】レイアウトパターン図ネットリストの一例を示す図である。

【図3】島つりネット情報ファイルの一例を示す図である。

【図4】図1に示される抵抗の島電位検証部21の動作の一例を示すフローチャートである。

【図5】P拡散抵抗を示す断面図である。

【図6】従来のレイアウト検証装置を示す構成図である。

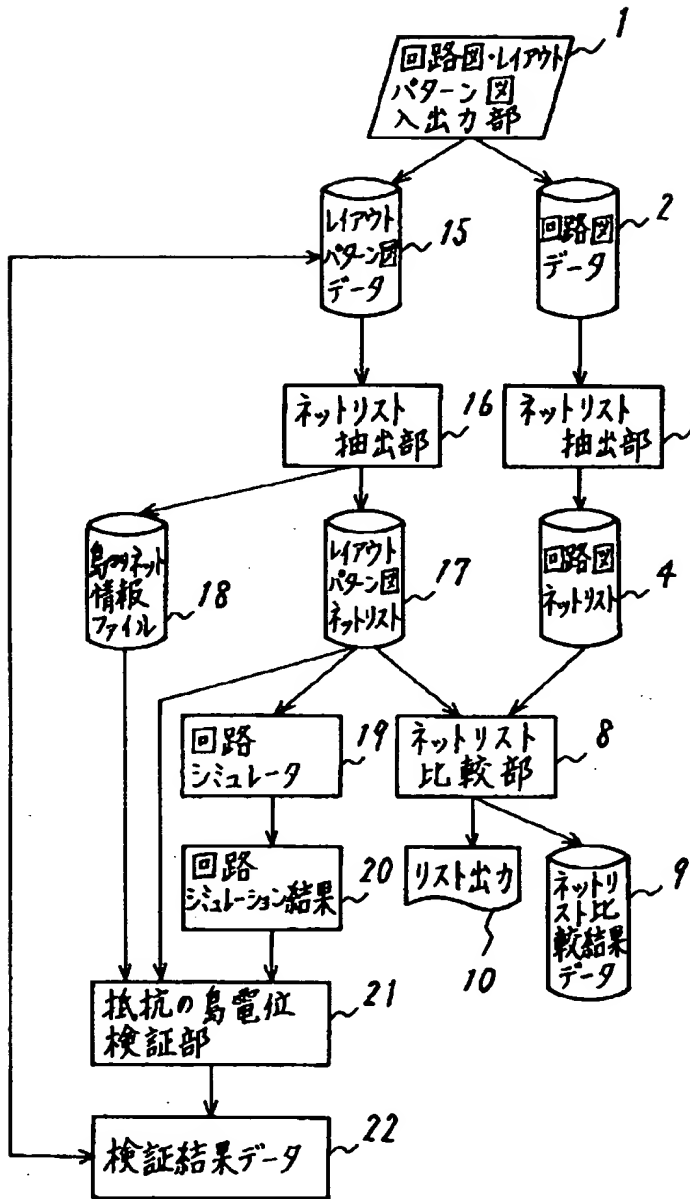
【図7】P拡散抵抗を示す断面図である。

【図8】寄生素子の発生の一例を示す図である。

【符号の説明】

- 1 回路図、レイアウトパターン図入出力装置
- 2 回路図データ
- 3 ネットリスト抽出部
- 4 回路図ネットリスト
- 8 ネットリスト比較部
- 9 ネットリスト比較結果データ
- 15 レイアウトパターン図データ
- 16 ネットリスト抽出部
- 17 レイアウトパターン図ネットリスト
- 18 島つりネット情報ファイル
- 19 回路シミュレータ
- 20 回路シミュレーション結果
- 21 抵抗の島電位検証部

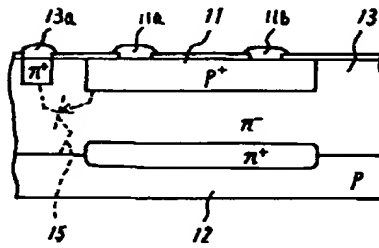
【図1】



【図3】

抵抗のインスタンス番号	抵抗の島内ネット番号
R0	2
R1	1
R2	1
...	...

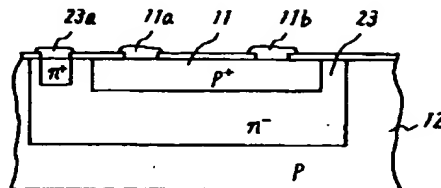
【図8】



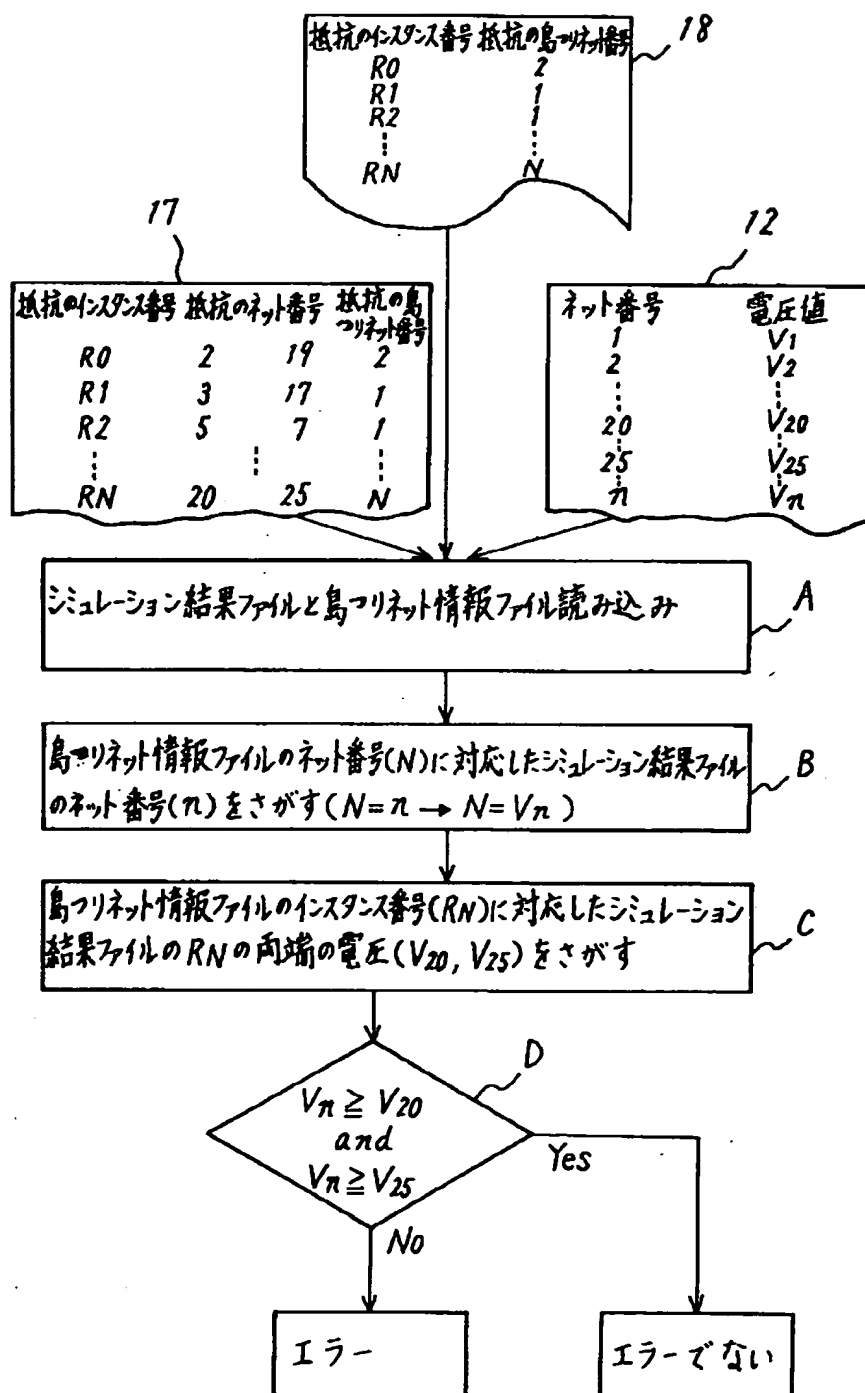
【図2】

抵抗のインスタンス番号	抵抗のネット番号	抵抗の島内ネット番号
R0	2	19
R1	3	17
R2	5	7
...

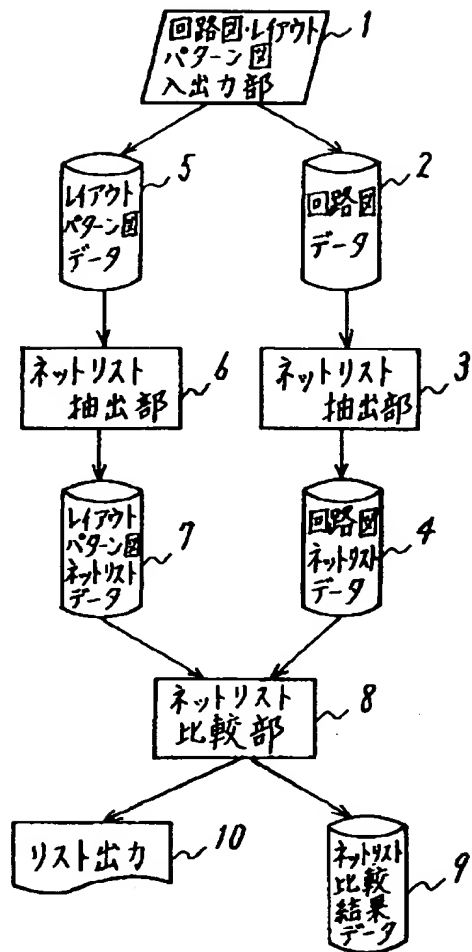
【図5】



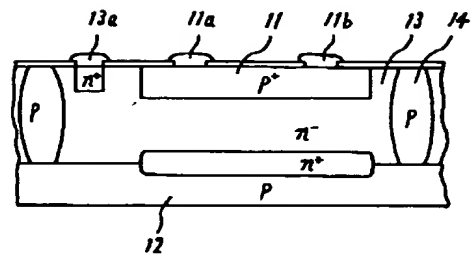
【図4】



【図6】



【図7】



PAT-NO: JP406348781A
DOCUMENT-IDENTIFIER: JP 06348781 A
TITLE: LAYOUT VERIFICATION DEVICE
PUBN-DATE: December 22, 1994

INVENTOR-INFORMATION:

NAME

MIYOSHI, YOSHIHIRO

NISHIDA, SHUHEI

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP05140715

APPL-DATE: June 11, 1993

INT-CL (IPC): G06F015/60, H01L027/04

ABSTRACT:

PURPOSE: To easily form a layout pattern with high reliability without generating a parasitic element by employing such constitution to verify the potential of the forming layer of a P-diffused resistor which comprises a semiconductor integrated circuit.

CONSTITUTION: A net list extraction part 16 generates layout pattern drawing net list data 17 and an island free net information file 18 based on a layout pattern drawing net list inputted from a circuit diagram and layout pattern drawing input/output part 1. A circuit simulator 19 performs circuit simulation based on the data 17, and an island potential verification part 21 verifies the potential of an island based on a circuit simulation result 20,

the file 18, and the data 17. In such a manner, the potential at both terminals of the P-diffused resistor are compared with that of the forming layer of the P-diffused resistor, thereby, the potential of the forming layer of the P-diffused resistor can be verified. In this way, it is possible to verify the potential of the forming layer of the P-diffused resistor which comprises the semiconductor integrated circuit with high accuracy by the circuit simulation.

COPYRIGHT: (C)1994,JPO